IC Lab Formal Verification  
Bonus Quick Test

2022 Fall

**Name: 黃旻澔 Student ID: 311510156 Account: iclab002 y**

1. Bonus:
2. **What is Formal verification?**

Formal verification是使用數學方法驗證design正確性的過程，使用各種演算法來驗證設計，想辦法覆蓋所有state space並找出bug。其透過Property檢查，assertion確認正確性，coverage確認state的覆蓋程度。

**What's the difference between Formal and Pattern based verification?**

Formal based verification 與pattern based verification的差異：

* 1. Pattern based 需要testbench來驗證電路行為而formal based 不用
  2. Pattern based 一次測試一種state path，而formal based會窮舉所有可能的state path進行測試

**And list the pros and cons for each.**

|  |  |  |
| --- | --- | --- |
|  | Formal based verification | Pattern based verification |
| Pros | 驗證完整 | 快速覆蓋common case |
| Cons | 如果design太大，覆蓋所有state space會很耗時 | 較難覆蓋到corner case |

1. **What is glue logic?**

Glue logic是運用額外的邏輯描述來追蹤與紀錄事件和狀態，使原本複雜難懂的邏輯以簡化的形式寫出來的通稱。

**Why will we use glue logic to simplify our SVA expression?**

使用glue logic的原因，是因為它可以大幅簡化coding的複雜度，使code變得好讀好理解。我們可以將複雜的property透過glue logic表示出來，取代原先的SVA operator，增加code可讀性。

1. **What is the difference between Functional coverage and Code coverage?**

以下列出functional coverage與code coverage的差異：

Functional coverage包含了property與covergroup的驗證，是人為設定的，所以會耗時，而且有可能會漏掉corner case。Code coverage 包含branch coverage、statement coverage、expression coverage等，可以自動產生並執行，負責檢查每行code/每個branch/每個statement是否被執行，可以排除人為因素的error，但也有可能有false alarm的出現(沒用的code)。

**What’s the meaning of 100% code coverage, could we claim that our assertion is well enough for verification? Why?**

不行。這只是說明每行code都有執行到，但是結果沒有被檢查，所以並不代表function上沒有error。所以仍需進行functional coverage的驗證才能確保assertion的完整性。

1. **What is the difference between COI coverage and proof coverage for realizing checker’s completeness? Try to explain from the meaning, relationship, and tool effort perspective.**

Meaning perspective:

那些在design中影響assertion結果的code，被稱為COI，是一個在DUT裡面的範圍。Proof coverage則是利用formal engine來驗證，只會包含實際影響到的部分。

Relationship perspective:

Proof coverage是COI的subset。

Tool effort perspective:

Proof coverage需要進行formal proof而COI則不用。因此proof coverage需要花費較長的時間與較多的資源。

1. **What are the roles of ABVIP and scoreboard separately?**

**Try to explain the definition, objective, and the benefit.**

Definition:

ABVIP: The Assertion Based Verification Intellectual Properties(ABVIPs) are a comprehensive set of checkers and RTL that check for protocol compliance(e.g. ARM AMBA AXI based systems and designs).

Scoreboard: like a monitor, which observes input data and output data of DUV.

Objective:

ABVIP: 提供一個完整的checker set，對於現有的protocol進行驗證與檢查。

Scoreboard: 檢查design的輸入與輸出是否一致。

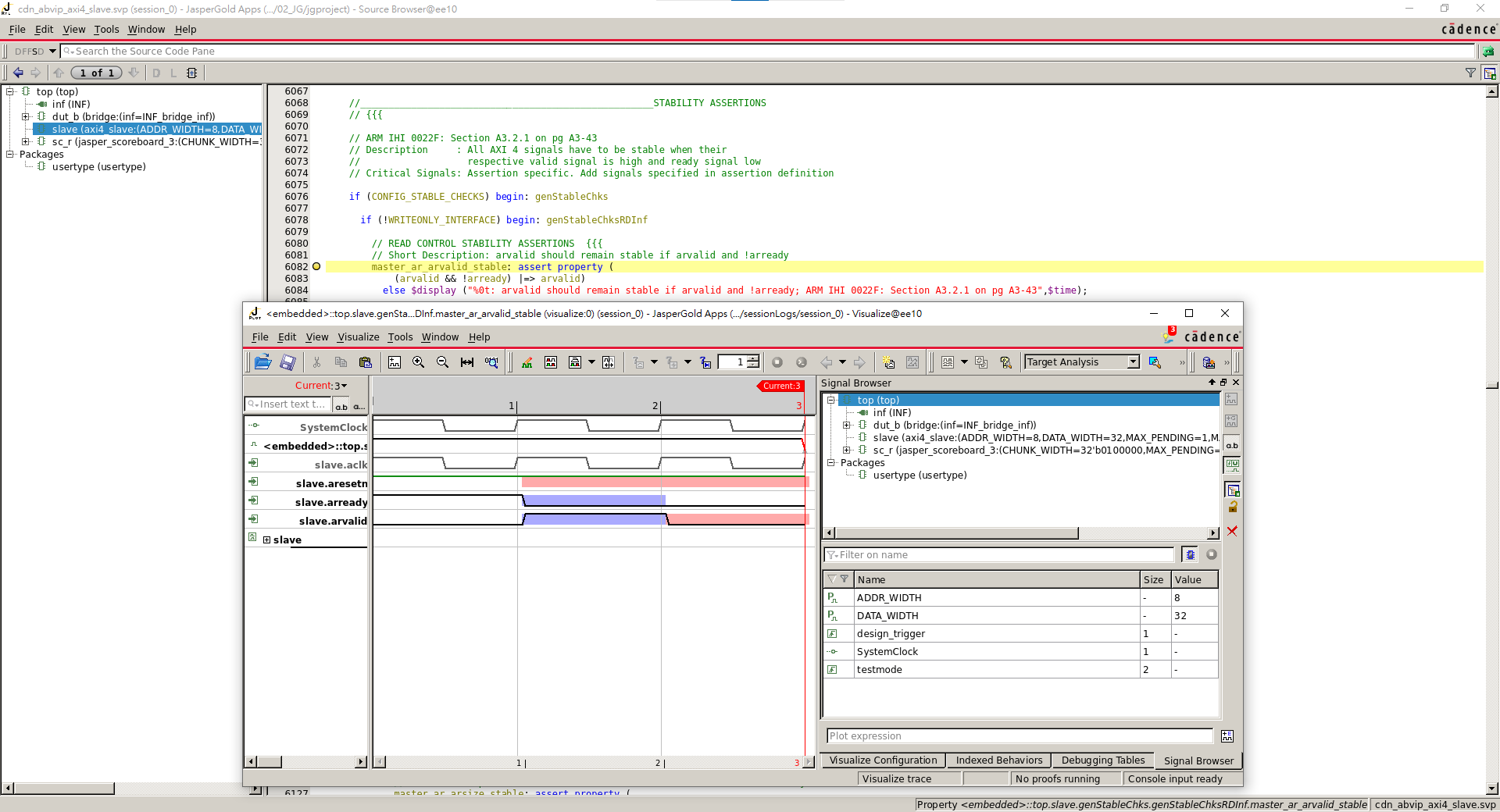
Benefit:

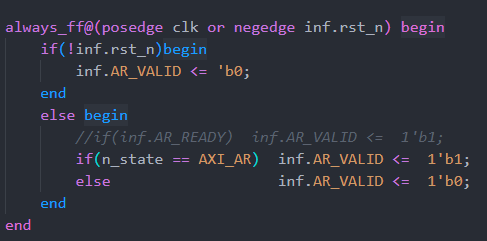
ABVIP: 節省designer寫assertion的時間，並提供正確且完整的驗證工具。

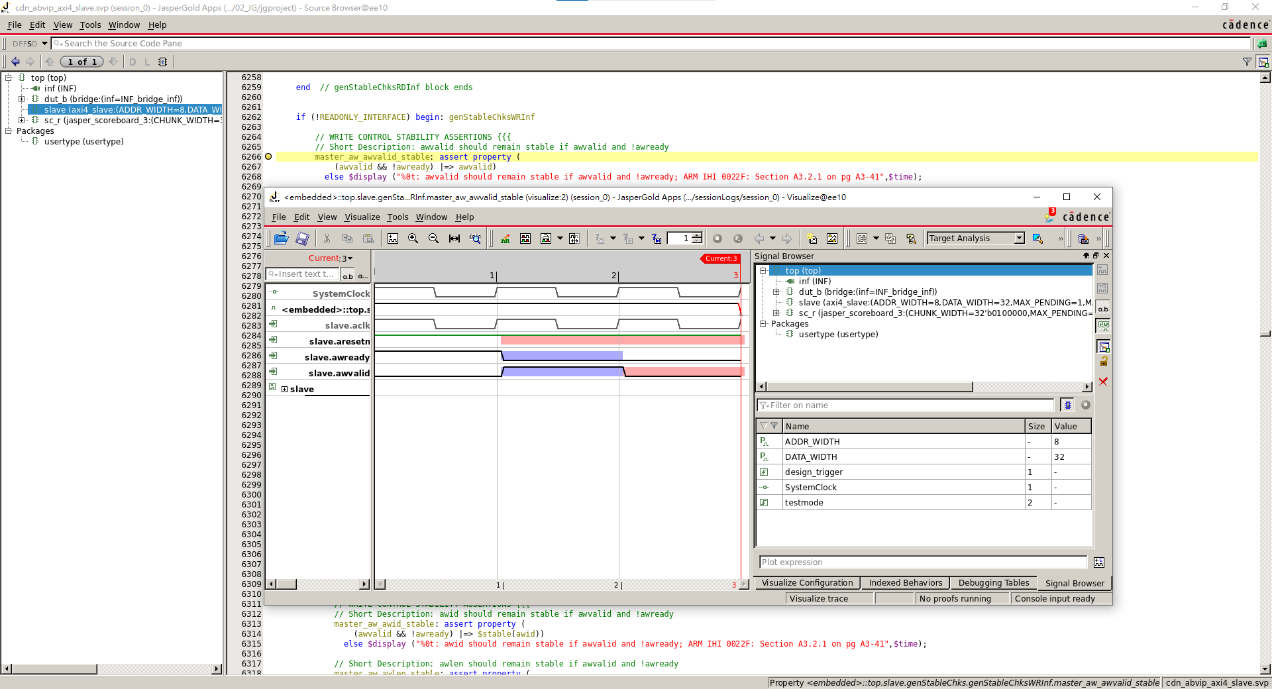
Scoreboard: 減少state space複雜度，減少adoption障礙。

1. **List four bugs in Lab Exercise**

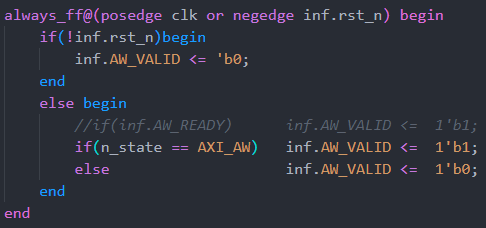
**What is the answer of the Lab Exercise?**

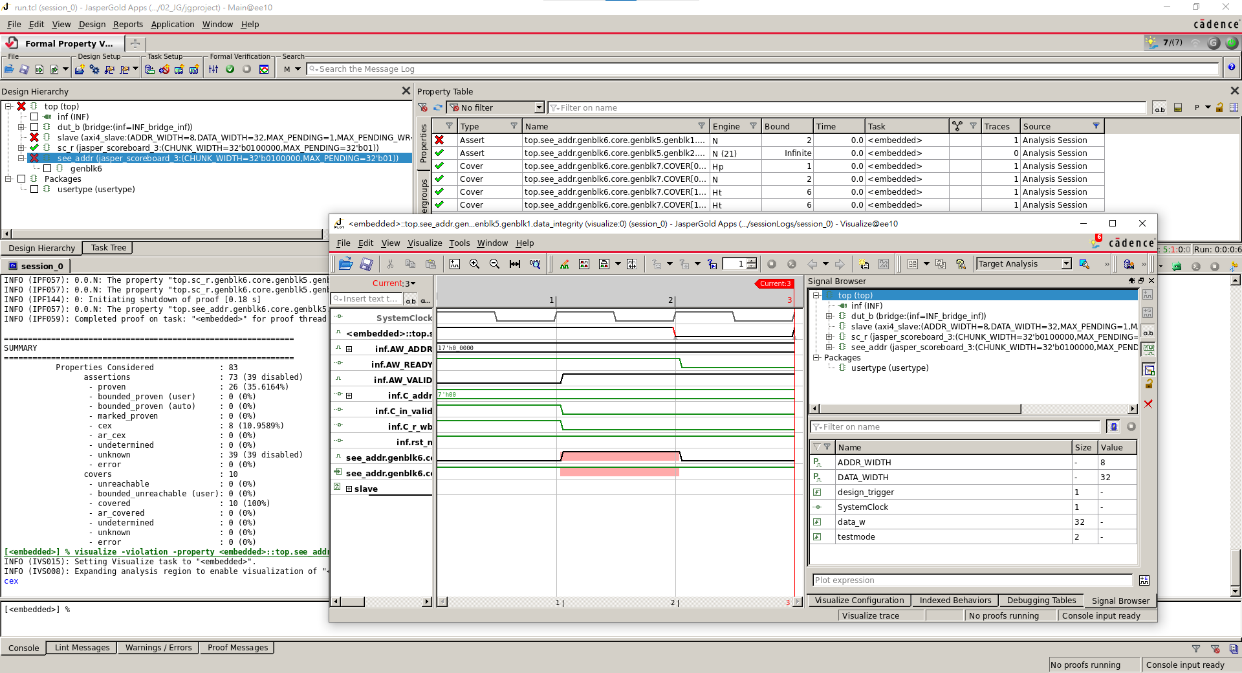
Bug1: inf.AR\_VALID

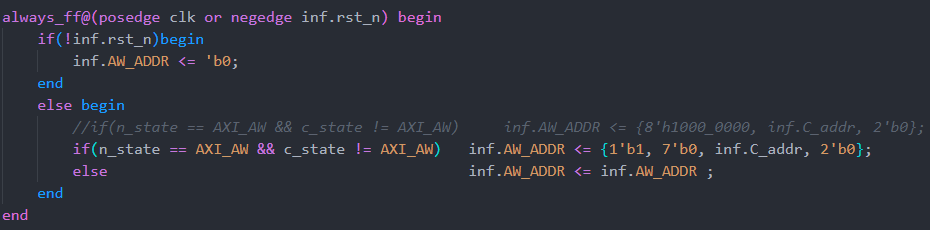
修正之後的code如下：

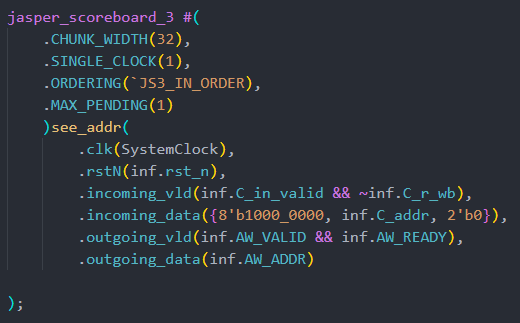
Bug2: inf.AW\_VALID

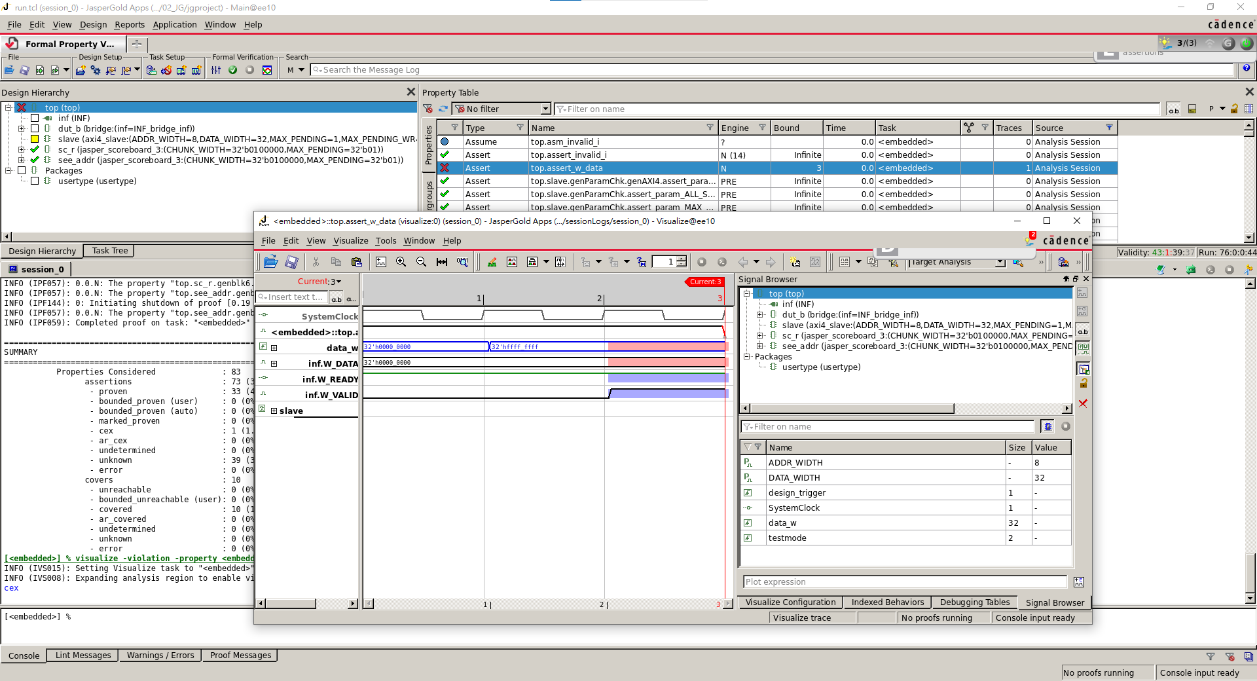
修正之後的code如下：

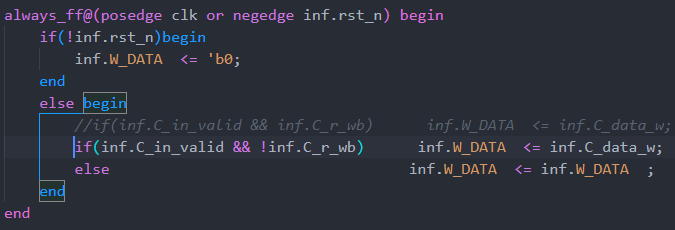


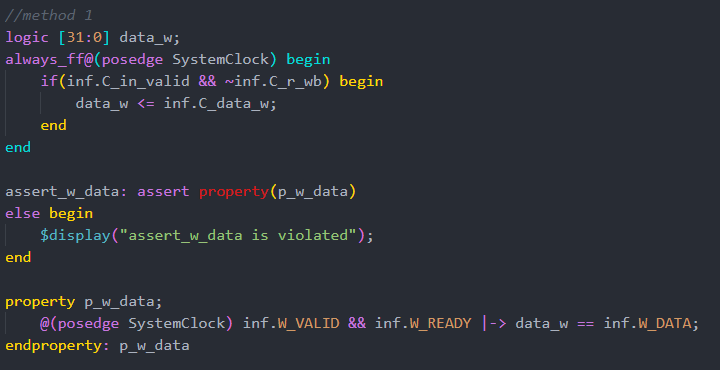
Bug3: inf.AW\_ADDR

利用scoreboard找出bug後的修正版本的code如下：



Bug4: inf.W\_DATA

利用glue logic+SVA找出bug後的修正版本的code如下：



1. **What is your opinion about this class ? (at least 50 words) ( you can write anything !!!! )**

謝謝助教們對於這門課程的付出與努力，讓我們可以通過紮實的課堂講解與每周lab的訓練，得到充分的對於IC設計的知識與應有的技能。雖然這學期過得非常辛苦，每周一次的lab輪迴搞得我壓力山大，但通過這學期的考驗與磨練我覺得我不只是得到學業方面的增長，在心理層面、抗壓的能力也有所提升。最後也謝謝李鎮宜老師幾次的課前提點與勉勵，讓我有繼續前進的動力。